

УДК 004.332.34

*М.А. Дунаева*Московский физико-технический институт (государственный университет)
Samsung Electronics

Методы компенсации влияния разброса параметров на работу цепей считывания оперативно запоминающего устройства

В настоящей работе рассматриваются четыре вида усилителей считывания. Представлено сравнение влияния разброса длин каналов транзисторов, пороговых напряжений и разброса RC -параметров битовых линий на работу различных усилителей считывания. Было проведено теоретическое и экспериментальное исследование усилителя напряжений [1], зарядового усилителя [2], гибридного усилителя считывания и усилителя со схемой компенсации разброса пороговых напряжений [3].

Ключевые слова: усилитель считывания, зарядовый усилитель считывания, схема компенсации разброса пороговых напряжений, ОЗУ, системы памяти.

Усилитель считывания служит для усиления низкой разности напряжений битовых линий до напряжения полного перепада. Нестабильность его работы приводит к помехам работы памяти. Вместе с помехоустойчивостью усилитель считывания должен удовлетворять условию низкого потребления мощности и высокого быстродействия.

В идеальном случае, когда параметры битовых линий и транзисторов в усилителе считывания точно совпадают, он может усилить сколь угодно малые разности напряжений. К сожалению, в реальной цепи считывания существует разброс параметров. Во-первых, на работоспособность усилителя считывания влияет разброс длин каналов транзисторов и пороговых напряжений. Причиной разброса пороговых напряжений являются случайные флуктуации концентрации примеси в канале. На разброс пороговых напряжений также оказывает влияние распределение интерфейсного заряда. Разброс длин каналов включает систематическую и случайную составляющие. На систематическую составляющую влияют плотность поликремния и «почерк» шагового координатного стола. На случайную составляющую влияют оптические эффекты во время травления [4]. Случайные вариации длин каналов транзисторов и пороговых напряжений вносят дисбаланс в парные транзисторы, и в результате усилитель считывания предпочи-

тает одно состояние другому. Таким образом, недостаточная разность напряжений на битовой линии приводит к ошибкам. Второй причиной ошибок усилителя считывания является разброс RC -параметра битовых линий.

Для уменьшения влияния разброса длин каналов и пороговых напряжений транзисторов используют зарядовые усилители считывания, работа которых основана на перераспределении заряда с битовых линий с высокой ёмкостью на низкоёмкостные узлы усилителя считывания. Но на работу зарядового усилителя считывания значительное влияние оказывает разброс RC -параметра битовых линий.

Альтернативой зарядового усилителя считывания является усилитель считывания со схемой компенсации разброса пороговых напряжений.

Целью работы являлся поиск оптимального подхода в борьбе с влиянием разброса параметров на работу цепи считывания, как следствие — выбор оптимального усилителя считывания.

В ходе исследования была отработана новая методика проверки стабильности усилителей считывания к дисбалансу параметров цепи считывания.

I. Усилитель напряжения (VSA — Voltage Sense Amplifier)

Усилители считывания, принцип работы которых основан на улавливании разности напряжений, широко используются в цепях считывания SRAM. Явным недостатком таких усилителей (рис. 1) является зависимость их работоспособности от дисбаланса параметров парных транзисторов, то есть порогового напряжения и длины канала, что видно из выражения для времени срабатывания плеча защёлки усилителя напряжения:

$$t_{(3,4)} = 2 \cdot \frac{C_l}{K_{n(3,4)} (V_{CC} - \delta_{(2,1)} - V_{t(3,4)})} \times \left(\frac{V_{t(3,4)} - 0,1 \cdot V_{CC}}{V_{CC} - \delta_{(2,1)} - V_{t(3,4)}} + \frac{1}{2} \cdot \ln \left(\frac{19 \cdot V_{CC} - 20 \cdot V_{t(3,4)}}{V_{CC}} \right) \right), \quad (1)$$

относительная ошибка времени срабатывания плеча защёлки усилителя напряжения: $\frac{dt}{t} \approx \frac{dC_l}{C_l} + \frac{dL}{L} - \frac{dC_{ox}}{C_{ox}} - \frac{dW}{W} + \frac{dV_t + d\delta}{V_t}$, где C_l — ёмкость нагрузки, $\delta_{(2,1)}$ — разность между напряжением соответственно битовой линией $bl\#$ или bl и напряжением питания V_{CC} , $V_{t(3,4)}$ и $K_{n(3,4)}$ — пороговое напряжение и параметр, зависящий от размеров и ёмкости оксида n -канальных транзисторов защёлки.

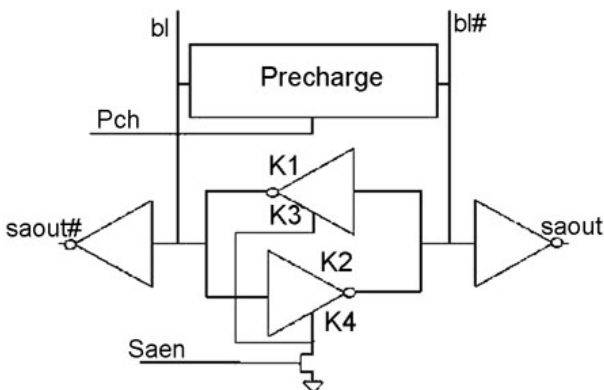


Рис. 1. Усилитель напряжения (VSA)

Поскольку в случае когда с битовой линии bl считывается высокий уровень ($bl \sim 1$, $bl\# \sim 0$), $\delta_1 < \delta_2$ и в выражение для относительной погрешности входит отношение $\frac{d\delta}{V_t}$, а не $\frac{d\delta}{\delta}$, то на усилитель напряжения практически не влияет разброс

RC -параметров битовых линий. При этом стабильность его работы сильно зависит от порогового напряжения, длины и ширины канала n -канальных транзисторов защёлки. В результате экспериментального исследования было установлено, что при большой разности ёмкостей битовых линий портится форма выходного сигнала, но не возникает ошибки считывания.

II. Зарядовый (SACH — Charge Transfer Sense Amplifier) и гибридный (SAH — Hybrid Sense Amplifiers) усилители считывания

Для зарядового усилителя считывания (рис. 2) в случае $bl \sim 1$, $bl\# \sim 0$ в момент времени перед стробом усилителя считывания справедливы следующие выражения:

$$V_1 = V_{CC} - \frac{(0,6 \cdot V_{CC} - V_{bt1})K_1 \cdot V_{CC}}{R_2 C_2 C_{g1}} \Delta t^2 \times$$

$$\times \left(\frac{R_2 C_2}{\Delta t} - 1 \right) \frac{C}{C_1},$$

$$V_2 = V_{CC} - \frac{(0,6 \cdot V_{CC} - V_{bt2})K_2 \cdot V_{CC}}{R_2 C_2 C_{g2}} \Delta t^2,$$

где V_1 , V_2 — напряжения в узлах $sa\#$ и sa соответственно;

$C_1 R_1$, $C_2 R_2$ — ёмкости и сопротивления битовых линий bl и $bl\#$;

K_1 , K_2 — параметры, зависящие от размеров и ёмкости оксида транзисторов с базовым напряжением на затворах;

V_{bt1} и V_{bt2} — пороговые напряжения транзисторов с базовым напряжением на затворах;

Δt — интервал времени между стробами чтения и усилителя считывания;

C — взаимная ёмкость битовых линий.

Из выражений видно, что работоспособность зарядового усилителя считывания в большей степени зависит от соотношений RC -параметров битовых линий, в меньшей — от параметров транзисторов с базовым напряжением на затворах. Ошибка в случае $bl \sim 1$, $bl\# \sim 0$ возникает при $C_2 > C_1$. Экспериментально установлено, что ошибка считывания возникает при $\frac{C_2 - C_1}{C_1} = 27 \pm 3$, $R_{1,2} = 1$ кОм.

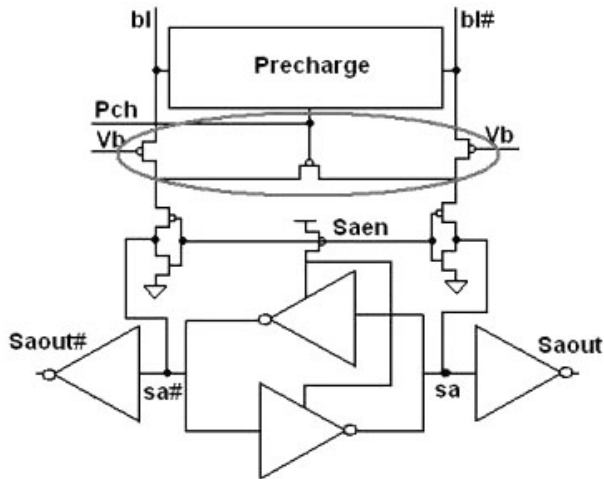


Рис. 2. Зарядовый усилитель считывания SACH (без трёх выделенных транзисторов — гибридный усилитель считывания SAH)

Для гибридного усилителя считывания SAH (рис. 2) $V_1 = \frac{2 \cdot C \cdot V_{CC}}{R_2 C C C_{g1}}$, $V_2 = \frac{2 \cdot C_2 \cdot V_{CC}}{R_2 C C C_{g2}}$. В случае $bl \sim 1$, $bl\# \sim 0$ ошибка считывания возникает при $\frac{C_1 - C_2}{C_2} = 10 \pm 1$, $R_{1,2} = 1$ кОм. Поскольку работа зарядового и гибридного усилителей считывания основана на перераспределении заряда с битовых линий на защёлку, их работоспособность мало зависит от пороговых напряжений n -канальных транзисторов защёлки. Это подтверждено и результатами экспериментов (табл. 1).

Т а б л и ц а 1

Результаты исследования при разности напряжений на битовых линиях 30 мВ

Тип усилителя считывания	Критическое значение $ R_1 C_1 - R_2 C_2 $, пс	Надежность работы, % ошибок при варьировании пороговых напряжений транзисторов	Надежность работы, % ошибок при варьировании длин каналов транзисторов	Быстродействие (задержка выходного сигнала от строба усилителя считывания), нс
зарядовый усилитель считывания	27	4	4	0.0345
гибридный усилитель считывания	10	2	8	0.0168
усилитель напряжений	> 100	6	9	0.0195
усилитель считывания со схемой компенсации разброса пороговых напряжений	> 100	3	8	0.0196

III. Усилитель считывания со схемой компенсации разброса пороговых напряжений (SAC — Threshold Voltage Mismatch Compensated Sense Amplifier)

Данный усилитель (рис. 3) отличается от усилителя напряжения наличием транзисторов 114, 116, 118, 120. При подаче

строба L1 (рис. 4) транзисторы 110 и 112 оказываются в диодном включении. В узлах VS1 и VS2 устанавливается напряжение $V_{CC} - V_{t1}$ и $V_{CC} - V_{t2}$ соответственно, где V_{t1} и V_{t2} — пороговые напряжения транзисторов 110 и 112. В следующей фазе работы ($L1 = 0$, $L2 = 1$, $STROBE = 0$) транзисторы 110 и 112 включены в виде защёлки. Разница пороговых напряжений компенсирована, а значит, на время переключения транзисторов 110 и 112 влияет только разность напряжений битовых линий (1).

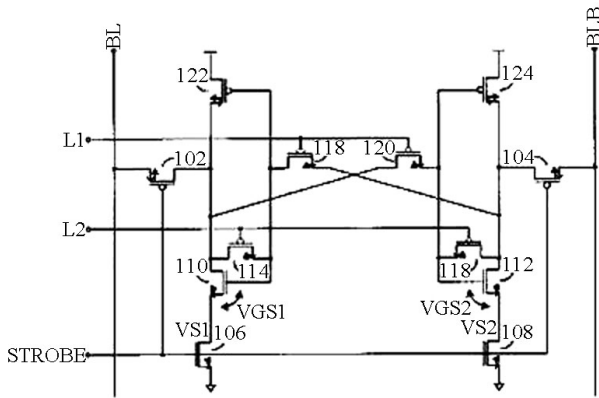


Рис. 3. Усилитель считывания со схемой компенсации разброса пороговых напряжений (SAC)

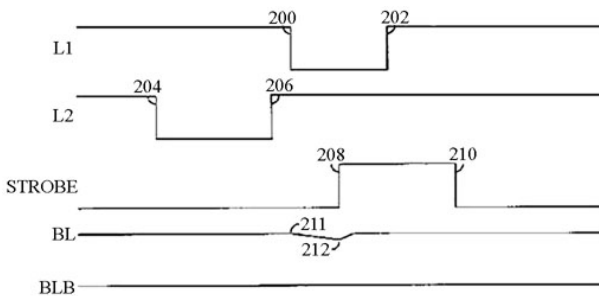


Рис. 4. Временная диаграмма для усилителя считывания со схемой компенсации разброса пороговых напряжений (SAC)

IV. Методика проведения анализа и результаты исследования

Влияние дисбаланса параметров цепи считывания на работу усилителей было исследовано с помощью новой методики.

На вход программы статистического анализа подавался список соединений транзисторов усилителя считывания. Программа статистического анализа вычисляет разброс входных параметров с заданным средним значением и среднестатистическим отклонением. С каждым значением из вычисленного набора значений параметра запускается программа моделирования (аналог HSpice), которая проводит заданные пользователем измерения. В проведённых экспериментах варьировались длина канала и пороговые напряжения транзисторов усилителей считывания со средним значением Le_mean , Vt_mean , среднестатистическим отклонением Le_sigma , Vt_sigma . На вход усилителя считывания

подавался сигнал:

$$V_{bl} = \begin{cases} t < 0,5ns : vcc \\ 0,5ns < t < 1ns : vcc \cdot k \\ t > 1ns : vcc \end{cases},$$

$$V_{bl\#} = \begin{cases} t < 1,5ns : vcc \\ 1,5ns < t < 2ns : vcc \cdot k \\ t > 2ns : vcc \end{cases},$$

где k изменяется от 0.9 до 0.97 с шагом 0.01 (рис. 5).

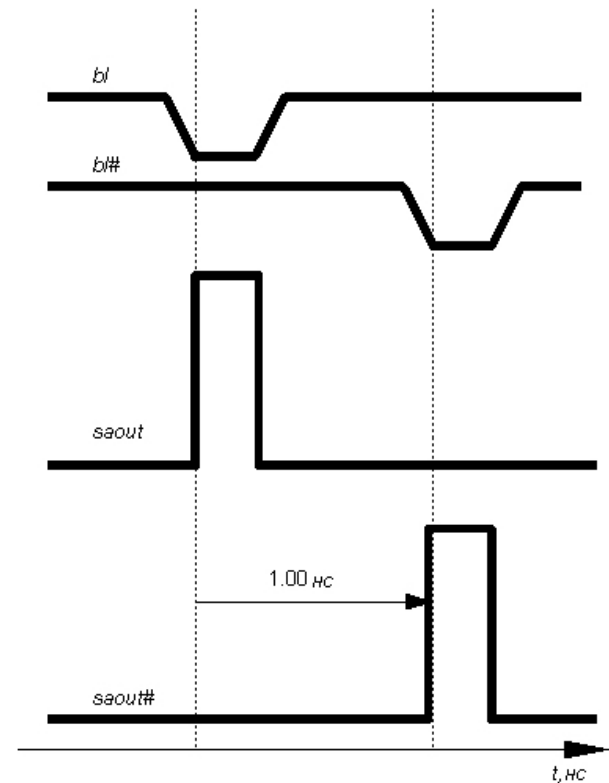


Рис. 5. Временная диаграмма безошибочной работы усилителя считывания

Вычислялась задержка между выходными сигналами $saout$ и $saout\#$. При ошибочной работе усилителя считывания сигналы на выходах окажутся вида $saout \{1,1\}$ и $saout\#\{0,0\}$, или $saout \{0,0\}$ и $saout\#\{1,1\}$ (рис. 6а). Следовательно, результатом вычисления будет переполнение. На рис. 5 показана безошибочная работа. Но возможен вариант, когда ошибку нельзя найти указанным методом (рис. 6б). Поэтому кроме задержки между выходными сигналами ещё подсчитывался определённый интеграл выходного напряжения. Если значение интеграла выходило за границы допустимых значений, то данное срабатывание усилителя считывания считалось ошибочным. Границы допустимых значений определялись опытным

путём. Второй метод подсчёта ошибок позволяет определить случаи ложного срабатывания усилителя считывания из-за того, что усилитель запоминает предыдущее считанное значение (количество интегралов больших допустимых значений намного больше (меньше) количества интегралов меньших допустимых значений).

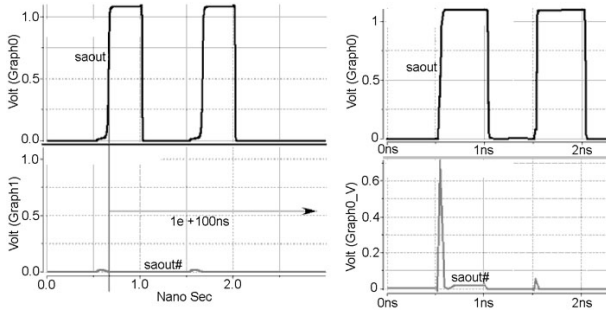


Рис. 6. Примеры ошибочной работы усилителя считывания

В результате строился график зависимости количества ошибок от разности напряжений битовых линий (рис. 7, рис. 8).

Влияние на работу усилителя считывания дисбаланса RC -параметров цепи считывания исследовалось с помощью схемы, изображённой на рис. 9. В ходе эксперимента варьировались значения ёмкости $C1(C2)$, подсчёт ложных срабатываний усилителя считывания производился указанным выше методом.

Также производилась оценка быстродействия, находилась задержка выходного сигнала от строба усилителя считывания (табл. 1).

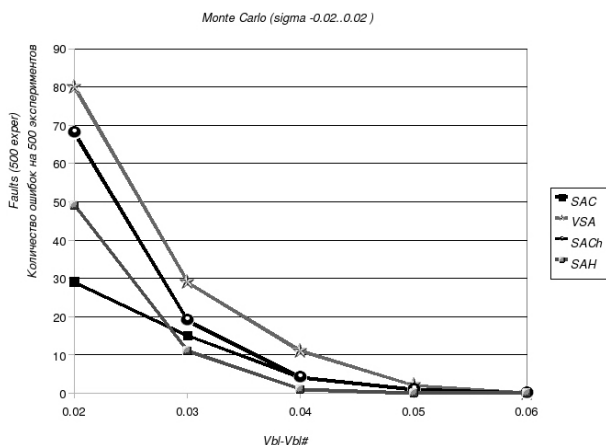


Рис. 7. Зависимость количества ошибок при варьировании пороговых напряжений (n — n -канальный транзистор защелки, bios — транзистор с базовым напряжением на затворах) на 500 экспериментов от разности напряжений битовых линий

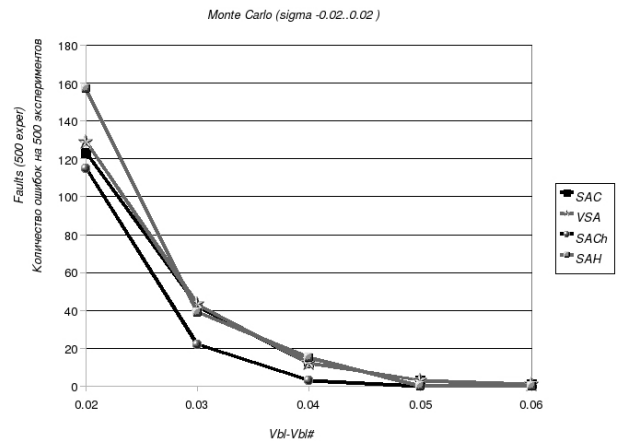


Рис. 8. Зависимость количества ошибок при варьировании длин каналов (n — n -канальный транзистор защелки, p — p -канальный транзистор защелки) на 500 экспериментов от разности напряжений битовых линий

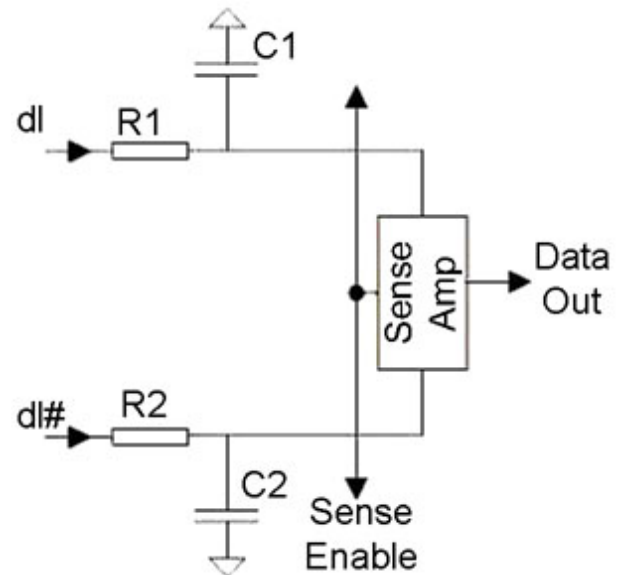


Рис. 9. Схема для исследования влияния дисбаланса RC -параметров цепи считывания на работу усилителя считывания

Итак, усилитель считывания со схемой компенсации разброса пороговых напряжений — самый надёжный по сумме факторов, однако в жертву этой надёжности принесена простота схемы усилителя напряжения. Вместе с тем усилитель считывания со схемой компенсации разброса пороговых напряжений предполагает более сложную схему синхронизации входных сигналов. Тем не менее он показал неплохое быстродействие. Если стабильность работы усилителя считывания при разбросе RC -параметров битовых линий не является критичной, то наиболее оптимальный выбор — гибридный усилитель считывания. Его выгодно отличает простота

схемы, быстродействие и устойчивость к дисбалансу парных транзисторов. Надежность работы зарядового усилителя считывания сильно зависит от значения базового напряжения, он отличается наилучшим быстродействием из исследованных усилителей считывания. Зарядовый усилитель считывания наиболее устойчив к дисбалансу длин каналов парных транзисторов. Правда, последняя проблема решается с помощью использования специальной библиотеки транзисторов, у которых отношение длины и ширины каналов близко единице [5].

Литература

1. *Haraszi T.P.* CMOS Memory Circuits. — Higham, MA, USA Kluwer Academic Publishers, 2000.
2. *Sinha M., Hsu S., Alvandpour A., Burleson W., Krishnamurthy R., Borkar S.* High-performance and low-voltage sense-amplifier techniques for sub-90nm SRAM // Proceedings of IEEE Int. SOC Conference. — 2003. — P. 113, 116.
3. *Lovett S.J.* Threshold voltage mismatch compensated sense amplifier for SRAM memory arrays // US Patent 6, 181, 621, B1, 2001.
4. *Chen Tao, Selvin Eric, Zheng Bo, Zhang Kevin, Saleh Hugo.* Statistical Characterization of Sense Amplifier and Its Join Optimization with Memory Cell Design Architecture // Intel Design and Test Technology Conference, 2003.
5. *Lovett S.J., Wall L, Welten M, Mathewson A, Mason B.* Sensitivity of MOS Transistor Mismatch to Device Dimensions and Suggestions on how to Improve Matching Performance // Savoy Place, London WCZR OBL, UK, IEE. — 1995.

Поступила в редакцию 17.01.2008.