

Ю.И. Тишин¹, Д.Ю. Адамов², О.А. Сомов³

¹ Московский физико-технический институт (государственный университет)

² ООО «ЮникАйСиз»

³ Институт проблем проектирования в микроэлектронике РАН

Проектирование для возможностей производства

В статье рассмотрены основные проблемы и ограничения организации производства. Проектирование для возможностей производства — это методология выбора проектных решений с учётом возможностей конкретного производственного процесса. Процесс выбора технологии включает анализ экспертных оценок и прогноз параметров изделия. Выбранный вариант определяет используемую базу данных по технологии и элементной базе, доступные сложнофункциональные блоки и т. д.

Ключевые слова: полупроводниковая микросхема, производство микросхем, полупроводниковые наноразмерные приборы, разработка микросхем, средства проектирования.

I. Ограничения и приоритеты в методологии проектирования для возможностей производства

Связь производственного процесса и маршрута проектирования осуществляется посредством системы конструктивно-технологических и электрофизических ограничений (КТО и ЭФО). Для микронных и субмикронных размеров элементов ограничения имеют односторонний характер в виде набора максимальных или минимальных значений, не связанных друг с другом. Например, минимальная длина затвора полевого транзистора или максимально допустимое напряжение питания. При переходе к нанометровым размерам (менее 100 нм) ситуация качественно меняется. Размерные эффекты ухудшают характеристики МОП-транзисторов. Для борьбы с размерными эффектами меняются структуры транзисторов, в них вводятся новые элементы и материалы. Универсальных структур технологи пока не разработали. Ограничения технологического процесса определяют конструкцию микросхемы. Сейчас нет новых транзисторных структур, обеспечивающих улучшение всех характеристик. Для реализации проекта необходимо выбрать одну конкретную физическую структуру микросхемы и один производственный процесс. Каждый производственный процесс характеризуется уникальным набором конструктивно-технологических ограничений, имеет свои достоинства и недостатки. Перенос проекта на другой производственный процесс потребует новой разработки. Очевидно, что выбор производственного процесса должен осуществляться в соответствии с целями проекта. Целей проекта всегда несколько. Оптимальный выбор технологии требует установки приоритетов для целей проекта. Процесс выбора технологии включает анализ экспертных оценок и расчёт-прогноз параметров изделия для возмож-

ных вариантов. Выбранный вариант определяет используемую базу данных по технологии и элементной базе, доступные сложнофункциональные блоки, достижимые технико-экономические показатели изделия. То есть процесс оптимизации проектных решений с учётом возможностей производства неизбежен и необходим для разработки нанометровых микросхем. Проектирование для возможностей производства — это методология выбора проектных решений с учётом возможностей конкретного производственного процесса. Выбор проектного решения — это результат оптимизации связей между ограничениями. Критерии оптимизации определяются приоритетами проекта, планируемыми конкурентными преимуществами изделия.

В своём большинстве ограничения имеют противоречивый характер. Разрешение противоречий осуществляется на основе приоритетов.

Определяющее значение имеют экономические ограничения. Во-первых, ресурсов должно быть достаточно для исполнения проекта. Во-вторых, необходимо оценить ёмкость рынка для продукции до начала проектирования. Для уникальной и мелкосерийной продукции важнее сократить затраты на разработку, чем обеспечить низкую себестоимость изделий. Для массовой продукции себестоимость изделий и процент выхода годных являются важнейшими экономическими показателями. Если проект не обеспечивает снижение стоимости конечной продукции по сравнению с аналогами, то его рыночные перспективы обычно негативные (рис. 1). Экономический прогноз определяет соотношение экономических и технических приоритетов.

Ещё одна группа ограничений — технические. С уменьшением размеров элементов увеличивается число конструктивно-технологических ограничений. Правила определения ограничений усложняются. Для этого требуется на каждом этапе проектирования делать прогноз основных показате-

лей конечного продукта. Нанометровые микросхемы принципиально отличает неконтролируемый характер технологических вариаций параметров полупроводниковых приборов. Вариации параметров могут многократно снизить выход годных кристаллов или ухудшить основные характеристики изделий, сделав бессмысленным применение дорогих нанометровых технологий.

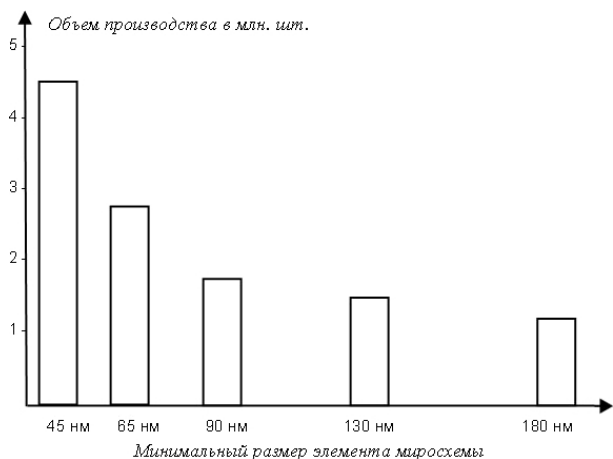


Рис. 1. Зависимость минимального объема выпуска микросхем от размеров элементов

Средства и методы проектирования для возможностей производства (ПДВП) направлены на снижение вариаций электрических параметров элементов, снижение плотности дефектов, улучшение характеристик микросхем и снижение их себестоимости. Средств ПДВП известно много и постоянно разрабатываются новые. В одном проекте все средства не применяются одновременно. Выбор средств ПДВП определяется целями проекта.

Средства ПДВП можно разделить по направлениям: физическое проектирование, электронная коррекция параметров, учёт вариаций при моделировании, управление надежностью, управление тестопригодностью и др. Средства ПДВП могут быть обязательными и необязательными. С уменьшением размеров и увеличением числа элементов в микросхеме требуется большее число средств ПДВП для достижения целей проекта. Обязательным является физическое проектирование схемы с учётом искажений элементов и вариаций их размеров.

II. Коррекции изображения на фотошаблонах

Рисунок элементов схемы на полупроводниковой пластине создаётся в процессе фотолитографии с использованием оптических установок. Обычно длина волны источника света 193 нм. Для более коротких длин волн нет прозрачных оптических материалов. Проекция изображения элемента с размером меньше длины волны света искажается дифракционными эффектами. В пределе элемент любой формы превращается в круг-

лое пятно. При формировании элементов с размерами менее длины волны на фотошаблоне создаётся группа элементов с таким расчётом, чтобы их искажённые изображения сложились в требуемый рисунок на пластине (рис. 2) [1]. Этот метод имеет ряд ограничений: не любые формы элементов можно создавать в процессе фотолитографии, плотность размещения элементов ограничивается зазорами между ними, наблюдается взаимное искажение формы соседних элементов.

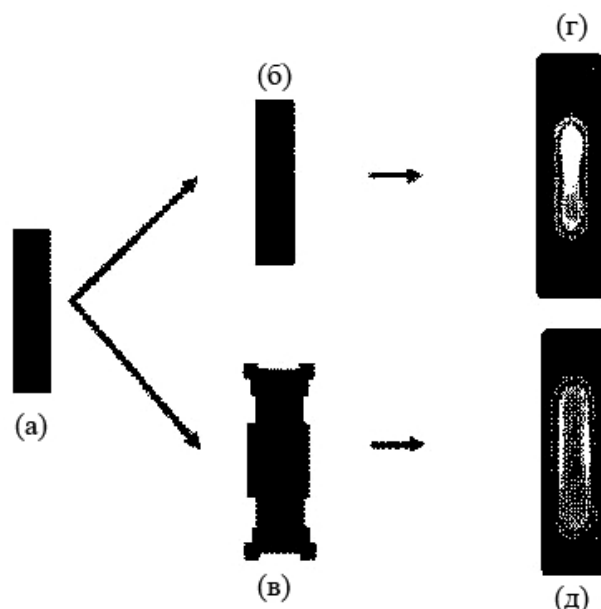


Рис. 2. Коррекции рисунка на фотошаблоне: (а) — исходное топологическое изображение; (б) — элемент фотошаблона без коррекции; (в) — элемент фотошаблона с коррекцией; (г) — рисунок элемента на пластине без коррекции; (д) — рисунок элемента на пластине с коррекцией

Взаимное влияние элементов наблюдается не только в процессе фотолитографии, но и в процессах локального окисления кремния, а также полировки медного слоя на рельефной поверхности пластины. Окисный слой создаёт механические напряжения в полупроводниковой структуре, изменяющие электрические параметры полупроводниковых приборов. Толщина медного слоя после полировки зависит от плотности рельефных элементов на пластине (рис. 3) [2]. Общее название этих процессов — «эффекты близости». Эти эффекты негативно влияют на вариации параметров полупроводниковых приборов и дефектность физической структуры микросхемы.

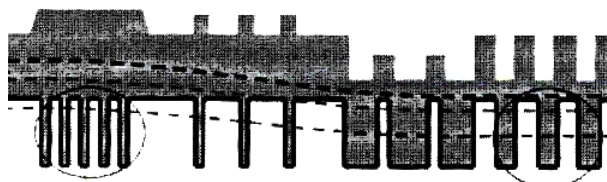


Рис. 3. Рельеф медной металлизации при разной плотности рисунка

Размеры элементов микросхемы в плоскости пластины больше размеров атома кремния в

несколько сотен раз. Толщина диэлектрика в полевом транзисторе больше размеров атома в 5–10 раз. Законы термодинамики не позволяют точно контролировать число атомов в сложной системе. В полупроводниковых приборах наблюдаются естественные вариации электрических параметров. «Эффекты близости» вносят дополнительное воздействие на распределение атомов в структуре и увеличивают вариации параметров. В предельном случае вариации размеров превращаются в поражающие дефекты. Игнорирование «эффектов близости» может снизить выход годных микросхем во много раз. Борьба с этими явлениями требует новых технологических и конструктивных ограничений. Эти ограничения носят рекомендательный характер, так как влияют только на вариации параметров и плотность дефектов. Применение рекомендуемых ограничений увеличивает затраты на разработку микросхемы, а в ряде случаев — и на стоимость производства. Выбор рекомендуемых ограничений — одна из важнейших задач проектирования.

Обычно фотолитография выполняется с уменьшением размеров на фотошаблоне в 4–5 раз. Индивидуальная коррекция формы элементов на фотошаблоне увеличивает затраты на его изготовление. Однако основные расходы связаны с процессом расчёта индивидуальной коррекции. С уменьшением размеров все большее число элементов оказывается в зоне действия «эффектов близости». Коррекция должна учитывать их совокупное воздействие на форму элемента. Один фотошаблон для современной микросхемы может содержать несколько миллиардов элементов. В производственном процессе требуется от 30 до 40 фотошаблонов. Для расчёта коррекций используются высокопроизводительные многопроцессорные суперкомпьютеры. Расчёт коррекций для одной микросхемы требует несколько суток работы суперкомпьютера. Стоимость одного фотошаблона может превышать миллион долларов. Стоимость фотошаблонов пропорциональна числу элементов в микросхеме.

Снижение дифракционных эффектов в процессе переноса изображения с фотошаблона на пластину достигается в процессе иммерсионной фотолитографии. В иммерсионном процессе зазор между пластиной и объективом заполнен водой. Длина волны света в воде меньше в 1,4 раза. Соответственно уменьшаются дифракционные эффекты и взаимное влияние элементов. Производительность иммерсионного процесса в несколько раз меньше, так как при перемещении координатного стола с пластиной возникает волнение в камере с водой. Промежутки времени между экспозициями приходится увеличивать.

Уменьшение зазоров между элементами может быть достигнуто применением фазосдвигающих фотошаблонов. Для этого чередующиеся элементы разделяют на чётные и нечётные, как на

шахматной доске. Затем в четных элементах осуществляют травление прозрачного основания фотошаблона на глубину, равную половине длины волны источника света. Искаженные дифракцией световые волны в зазоре между элементами на пластине будут иметь противоположные фазы. Энергия излучения в зазоре многократно снизится (рис. 4) [1].

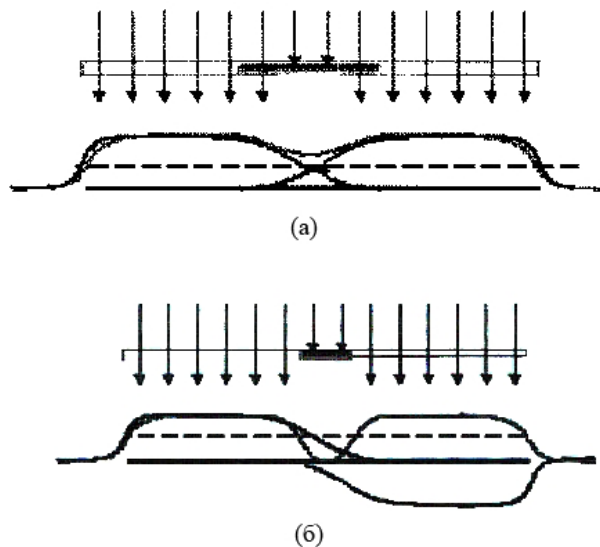


Рис. 4. Фотолитография (а) — с обычным фотошаблоном; (б) — с фазосдвигающим фотошаблоном

Производство фазосдвигающих фотошаблонов требует изменения технологического процесса. Значительно проще технология с двойной экспозицией. Четные и нечётные элементы одного рисунка изготавливаются на разных фотошаблонах. Зазоры при этом увеличиваются в два-три раза. Технологический цикл переноса изображения повторяется дважды [3]. На первом этапе рисунок четных элементов переносится на структуру схемы или временную маску. Затем светочувствительный слой удаляется и наносится снова. Процесс повторяется для нечетных элементов с новым светочувствительным слоем, не облученным дифракционными волнами света. Стоимость заготовки много меньше стоимости фотошаблона. Стоимость двух фотошаблонов с тем же суммарным числом элементов ненамного больше стоимости одного. Затраты на производство одной пластины увеличатся примерно на 2–3% для каждой дополнительной маски.

Коррекция изображения — это двухступенчатый процесс. Рисунок на фотошаблоне создаётся в процессе электронной литографии. «Эффект близости» при электронной литографии связан с рассеянием электронов в электронорезисте и подложке. Коррекция рисунка на фотошаблоне выполняется изменением дозы облучения. «Эффект близости» определяется рассеянием электронов в подложке. В электронной литографии элемент разбивается не более мелкие фрагменты: центральные, краевые, угловые (рис. 5) [4]. Наименьшая доза облучения требуется в центральной зоне, а наи-

большая доза — в угловой. Если рядом расположены другие экспонируемые элементы, то вычисляются корректирующие поправки для уменьшения дозы облучения каждого фрагмента. Чем сложнее рисунок на фотошаблоне, тем мельче фрагменты этого рисунка, в которых индивидуально устанавливается доза экспозиции резиста. В результате коррекции экспозиции суммарная энергия облучения каждого фрагмента прямым лучом и рассеянными электронами должна быть равна пороговой энергии проявления резиста. Объем информации для установки электронной литографии с учётом всех видов коррекции изображения для сложных проектов приближается к терабайту.



Рис. 5. Разбиение рисунка на фрагменты при электронной литографии: (а) — исходный рисунок; (б) — разбиение

III. Управление проектными нормами и ограничениями

Для уменьшения вариаций параметров используются два основных топологических метода: увеличение размеров и зазоров в некритических фрагментах схемы, а также формирование однородных массивов фиктивных элементов в промежутках между рабочими элементами. Правила проектирования включают несколько групп топологических ограничений. Минимальные размеры и зазоры используются во фрагментах схемы с наибольшим быстродействием, оптимальные размеры и зазоры — в остальных фрагментах [1]. Вариации параметров и плотность дефектов во фрагментах с оптимальными параметрами значительно ниже. Основная проблема в том, что средства автоматического проектирования не могут выделить фрагменты, в которых требуется увеличить быстродействие. Для установки уровня ограничений требуется вмешательство конструктора, что значительно снижает производительность проектных работ.

Исключить полностью «эффекты близости» в структуре микросхемы не удаётся никогда. Значительно проще выровнять их влияние на элементы микросхемы. На фотошаблоне для изоляции элементов области, в которых будет формироваться окисел кремния, размещаются в форме сетки. Транзисторы и другие элементы размещаются в

ячейках сетки. Однако остаётся много ячеек, не занятых элементами схемы. Пустые ячейки — это фиктивные элементы, предназначенные для выравнивания механических напряжений в структуре микросхемы.

На маске для металлических проводников нельзя разместить равномерный массив фиктивных элементов из-за сложности рисунка. Форма и размеры фиктивных элементов рассчитываются с использованием специальных программ. Фиктивные элементы на фотошаблонах для проводников — это зазоры в широких проводниках и неподключенные проводники в широких зазорах. Программа стремится создать одинаковую плотность проводников и зазоров на всей площади микросхемы.

Ещё одна группа ограничений связана с так называемым «антенным эффектом». Во время технологических процессов плазменного травления на проводниках накапливается статический заряд, который может привести к пробое МОП-транзисторов. Чтобы минимизировать «антенный эффект», вводят специальные ограничения на площадь проводников в нижних слоях металлизации.

Выбор средств ПДВП для снижения вариаций параметров усложняется с уменьшением размеров элементов. В технологии с проектными нормами 130 нм средства ПДВП ограничиваются использованием коррекций для рисунка на фотошаблоне. С уменьшением размеров до 90 нм уже требуется применение многоуровневых правил физического проектирования. Для проектных норм 65 и 45 нм ограничения распространяются уже на этапы схемотехнического синтеза блоков, размещения элементов и трассировки кристаллов. При этом в моделях учитывается влияние «эффектов близости» на электрические характеристики элементов схемы. Следующим шагом в развитии средств ПДВП станет оптимизация проекта на более ранних стадиях разработки.

IV. Управление выходом годных в технологии с вариациями параметров

В традиционной технологии микронных и субмикронных микросхем вариации параметров ограничены производственными нормами, а плотность поражающих дефектов постоянна и одинакова для всех изделий, производимых на конкретном участке. Выход годных определяется только площадью кристалла и плотностью поражающих дефектов. Параметрический брак отсутствует на пластинах с параметрами в пределах проектных норм.

В нанометровых технологиях вариации параметров характеризуются нормальным распределением, а плотность дефектов зависит от размеров элементов. Параметрический брак присутствует

даже на хороших пластинах с параметрами в пределах установленных норм [1].

Наибольшее влияние на выход годных кристаллов оказывают процессы металлизации и фотолитографии. С уменьшением ширины проводников возрастают плотность тока и сопротивление. Быстродействие микросхем ограничивается параметрами пленочных проводников. На рубеже 130 нм произошла замена алюминиевых проводников на медные. Медь имеет меньшее сопротивление и большую допустимую плотность тока. Гальванически осажденные слои меди имеют аморфную структуру, что облегчает формирование тонких и узких проводников. Однако медь плохо держится на диэлектрических поверхностях, поэтому проводники имеют два слоя: адгезионный и проводящий [5].

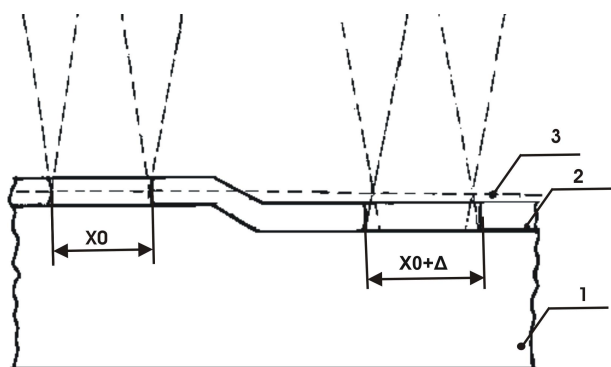


Рис. 6. Искажения рисунка при фотолитографии на рельефе структуры: 1 — пластина; 2 — слой фоторезиста; 3 — фокальная плоскость; X_0 — номинальный размер элемента; Δ — погрешность за счёт смещения фокальной плоскости

Создание одного слоя соединений при формировании планарной металлизации включает процессы нанесения изолирующего диэлектрика (SiO_2) и защитного слоя (Si_3N_4), анизотропного травления защитного слоя и диэлектрика, газофазного осаждения барьерного слоя нитрида титана (TiN), гальванического осаждения меди (Cu) и химико-механической полировки. Возникновение неоднородностей в наибольшей степени связано с последними двумя процессами. При гальваническом осаждении из-за действия добавляемого в электролит катализатора толщина меди над узкими углублениями будет больше, чем над плоской поверхностью. Над широкими углублениями, где обогащение электролита катализатором не происходит, такое увеличение толщины слоя меди не наблюдается. Последующий процесс химико-механической полировки должен сформировать планарную поверхность с неоднородностями по высоте рельефа не более 100 нм, оставив проводники только в углублениях рельефа. Однако при полировке в широких углублениях удаляется металл, который должен оставаться в структуре проводников. Чтобы уменьшить этот эффект, помимо совершенствования технологии полировки требуется учитывать специальные ограничения на ширину и взаимное расположение проводников. «Эф-

фект близости» проявляется в том, что неоднородность рельефа поверхности пластины зависит от формы и размеров проводников. В дальнейшем неоднородности рельефа влияют на размеры элементов рисунка при фотолитографии (рис. 6).

Комплексное воздействие «эффектов близости» на вариации параметров элементов может снизить выход годных изделий до совершенно неприемлемых величин. Коррекций искажений на фотошаблонах для увеличения выхода годных недостаточно. В методологии ПДВП есть отдельное направление проектирования для контроля выхода годных.

V. Снижение плотности поражающих дефектов при физическом проектировании

Физическое проектирование кристаллов и блоков нанометровой микросхемы включает этап оптимизации топологии. Оптимизация проводится по критерию уменьшения критической площади. Для расчётов вводится понятие опасных участков — «горячих пятен» (hotspots) [6]. На этих участках возможно образование поражающих дефектов за счёт естественных вариаций размеров элементов. Расчёт влияния «горячих пятен» проводится с использованием показателя критической площади:

$$A_{\text{кр}} = \int_{x_{\min}}^{x_{\max}} A_{\text{кр}}(x) \cdot f(x) \cdot dx, \quad (1)$$

где x — размер дефекта, x_{\min} , x_{\max} — минимальный и максимальный размеры поражающего дефекта, $f(x)$ — распределение вероятности поражения. Значения распределения вероятности поражения в заданных диапазонах определяются выражениями

$$f(x) = \frac{x}{x_0^2} \quad \text{при} \quad x_{\min} \leq x \leq x_0, \quad (2)$$

$$f(x) = \frac{x_0^2}{x^3} \quad \text{при} \quad x_0 \leq x \leq x_{\max}, \quad (3)$$

где x_0 — минимальный размер элемента или зазор между элементами в соответствии с нормами проектирования.

Критическая площадь $A_{\text{кр}}$ (1) больше площади «горячего пятна». Увеличение площади пропорционально увеличению вероятности появления дефекта. Минимальный размер поражающего дефекта (2) устанавливается в диапазоне $0,25x_0 \leq x_{\min} \leq 0,33x_0$. Максимальный размер поражающего дефекта (3) обычно равен $2x_0$. В практических целях площадь «горячего пятна» разбивается на прямоугольники с единственным значением x_0 . Для каждого прямоугольника вычисляется приближённое значение критической площади простым перемножением величин. Суммарные

значения критической площади вычисляются отдельно для каждого топологического слоя и типа дефектов. Эффективные плотности дефектов в критических площадях устанавливаются либо по данным производителя, либо путём измерения тестовых структур. Прогнозируемый выход годных структур вычисляется сложением вероятностей появления дефекта в структуре кристалла:

$$V_g = \exp \left(-S_{кр} \cdot D_0 - \sum_i A_{кри} \cdot D_i \right),$$

где $S_{кр}$ — площадь кристалла, D_0 — общая плотность поражающих дефектов, $A_{кри}$ — критическая площадь i -го поражающего дефекта, D_i — плотность поражающего дефекта i -го типа.

Оптимизация топологии направлена на уменьшение критических площадей без существенного изменения площади кристалла. Эффективность процесса оптимизации зависит от плотности размещения элементов топологии. Процесс оптимизации топологии не даёт абсолютного минимума критической площади. Оптимизацию можно завершить в том случае, когда очередная итерация по оптимизации практически не влияет на прогнозируемый выход годных изделий (3).

VI. Снижение параметрического брака

Систематические вариации имеют достаточно большую длину корреляции (более 1 мм). В пределах этой длины возможны электронные средства коррекции. Например, изолированные «карманы», в которых сформированы МОП-транзисторы, подключаются не к шинам питания, а к программируемым источникам смещения. Меняя напряжение смещения, можно изменить пороговое напряжение и максимальный ток у большой группы транзисторов одновременно. Цифровая схема должна быть разделена на достаточно крупные локализованные фрагменты. Каждый фрагмент управляется собственным блоком коррекции. Блок коррекции включает датчик параметров транзисторной структуры (токов, пороговых напряжений) и цепь управления, изменяющую эти параметры. Блок коррекции может компенсировать не только технологический разброс, но и отклонения, вызванные изменением температуры или напряжения питания.

Некоррелированные вариации компенсировать схемотехническими средствами невозможно. Однако средства проектирования позволяют снизить их влияние на выходные параметры изделия. Существующие средства автоматизированного проектирования (САПР) позволяют оценить работоспособность схемы при нормальных и граничных условиях эксплуатации.

Для микросхем с размерами 180 нм и менее отклонения динамических параметров от расчёт-

ных величин очень заметны и возрастают с увеличением степени интеграции. Максимальные значения импульсных помех в цепях питания достигают десятков процентов. Наибольшую амплитуду имеют составляющие с частотами 30–300 МГц. Именно такие частоты наиболее часто применяются для общей синхронизации кристаллов. На точность расчёта динамических параметров влияет и точность расчёта задержек в проводниках. Для микросхем с минимальными размерами элементов 0,25 мкм и более в большинстве случаев достаточно учитывать только ёмкости проводников. При размерах 180 нм и менее необходимо учитывать влияние сопротивлений линий связи, а для 90 нм — ещё индуктивности. Использование полной модели блока с паразитными резисторами и индукторами многократно увеличивает время расчётов. Для упрощённой модели увеличиваются погрешности вычислений.

Предварительную оценку влияния дестабилизирующих факторов на быстродействие цифровых микросхем можно выполнить на основе аналитических расчётов с использованием результатов измерений тестовых кристаллов и завершённых проектов. Приведём пример таких расчётов для технологии 90 нм (значения дестабилизирующих факторов получены в результате измерений тестовых кристаллов и на основе литературных данных).

Оценим тактовую частоту цифрового автомата без учёта дестабилизирующих факторов. Число логических элементов в блоке около шести-десяти тысяч. Число триггеров в регистрах состояний около пяти тысяч. Дерево распределения синхросигнала включает сто буферов, объединённых в четыре яруса. Максимальная логическая глубина комбинационных блоков составляет 15 вентиляей. Традиционная методика расчётов даёт следующие значения динамических параметров: — средняя задержка логического вентиля — 40 пс; — средняя задержка буфера синхронизации — 100 пс; — фронты синхросигналов — 85 пс; — при синтезе схемы система проектирования обеспечила расчётное значение для расхождения фронтов синхросигналов на входах всех триггеров ± 50 пс; — минимальные значения времён установки и удержания данных на входах триггеров включают расчётное расхождение фронтов плюс величину фронта синхросигнала — 135 пс; — минимальный период тактового сигнала равен сумме времени установки данных и времени максимальной задержки данных в комбинационной цепи — 735 пс; — минимальная задержка сигнала в комбинационной цепи не должна быть менее времени удержания — 135 пс; — расчётная максимальная частота синхросигнала не должна превышать 1380 МГц.

Оценим влияние дестабилизирующих факторов. Протоколы измерений тестовых кристаллов производителя дают величину среднеквадратиче-

ского отклонения тока транзисторов 10–12% от номинальной величины. Помехи в цепях питания генерируются при переключении большого числа логических элементов в комбинационных блоках. Переключения буферов в цепях синхронизации обычно происходят в те промежутки времени, когда комбинационные блоки не переключаются и не потребляют ток от источника питания. Поскольку число буферов в цепях синхронизации около 1% от общего числа вентилях, то и ток потребления в процессе распределения синхросигнала составляет несколько процентов от максимального. В расчётах следует учитывать влияние внутренних помех только на комбинационные блоки. Помехи в цепях питания, подложке и сигнальных проводниках действуют синхронно, поэтому их воздействия на задержку сигнала складываются. При измерениях разделить составляющие помех нет возможности. Измерения комплексного воздействия помех на кольцевые генераторы в тестовых кристаллах дают значение для увеличения задержки вентиля — 10–12%.

Точность расчёта задержек логических элементов определяется методами учёта паразитных ёмкостей и сопротивлений проводников. Функционально-логическое моделирование цифровых блоков учитывает только увеличение задержки вентиля как функцию его нагрузочной ёмкости и длины проводника. Индуктивности проводников не рассчитываются, а фигурируют как скрытые параметры, влияющие на задержку через длину проводника. Ошибки в расчётах задержек логических элементов имеют статистический характер. Наши оценки ошибок, связанных с точностью расчётов задержек, дают величину среднеквадратичного отклонения не менее 3% от величины задержки.

Технологический разброс влияет на суммарное расхождение фронтов данных и синхросигналов. Величины технологического разброса и погрешностей вычислений являются случайными:

$$D_y = D_m \cdot L + D_b \cdot L + D_{cm} \cdot m + D_{cb} \cdot m, \quad (4)$$

где D_y , D_m , D_b , D_{cm} , D_{cb} — дисперсии для времени установки и удержания данных, времени задержки в логической цепи, погрешности расчёта задержки в логической цепи, времени задержки в цепи синхросигнала, погрешности расчёта задержки синхросигнала, L — логическая глубина в комбинационной цепи, m — длина цепи синхронизации. Дисперсия выходных параметров является суммой дисперсий всех элементов (4).

Оценим влияние импульсных помех. Амплитуда помех в цепи питания составляет в среднем 10–15% от напряжения питания [7]. Основная мощность помех приходится на диапазон частот ниже частоты синхросигнала. То есть напряжение питания понижается одновременно на всех логических элементах. Поскольку выходная проводимость транзисторов квадратично зависит от на-

пряжения питания, а напряжение переключения вентилях линейно, то величина задержки в первом приближении обратно пропорциональна напряжению питания [8]. Помехи в подложке по абсолютной величине имеют примерно такую же величину, что и помехи по питанию. Однако их влияние на задержки логических элементов на порядок меньше, поэтому их учитывать мы не будем.

Времена установки и удержания должны быть увеличены на величину, зависящую от числа логических цепей. В нашей схеме около 5000 логических цепей по числу триггеров в регистрах состояний. При нормальном распределении задержек в диапазон $\pm 3\sigma$ не попадут 0,27% выборок. Это очень много для блока с 5000 логических цепей. Выход годных схем с расчётными параметрами будет очень низким. При запасе $\pm 4\sigma$ вероятность непопадания в интервал снижается на два порядка и вполне удовлетворяет условию выхода годных схем не менее 80%. Соответственно времена установки и удержания данных должны быть увеличены на 104 пс и установлены на уровне 240 пс.

Кроме случайных отклонений задержек, необходимо учесть помехи в цепях питания, которые в целом всегда приводят к увеличению задержки. Влияние этих помех на задержку тактового сигнала можно не учитывать, поскольку переключения цепей синхронизации происходят в промежутки времени с наименьшей активностью схемы. Комбинационные цепи переключаются в промежутки времени с наибольшей активностью, и задержки логических цепей увеличиваются. Величину увеличения задержки можно принять пропорциональной уровню помех по питанию, то есть 15% от номинальной задержки логической цепи. В нашем случае это 90 пс. Эта величина должна быть прибавлена только к времени установки данных, так как помехи никогда не уменьшают задержки.

В результате получилось следующее распределение временных интервалов на временной диаграмме:

- время установки данных на входах триггеров состояний — 330 пс;
- время удержания данных на входах триггеров состояний — 240 пс;
- минимальный период тактового сигнала — 930 пс и соответствующая частота синхронизации — 1076 МГц;
- минимальная расчётная задержка в комбинационной цепи — 240 пс;
- максимальная расчётная задержка в комбинационной цепи — 600 пс.

Таким образом, наибольший вклад в снижение быстродействия блока вносят факторы статистического разброса задержек логических элементов. Их влияние на быстродействие цифровой микросхемы возрастает с увеличением числа элементов и уменьшением их минимальных размеров.

Для увеличения технологических запасов при проектировании цифровых блоков рекомендуется выравнивание временных интервалов установки и удержания данных. Для этого в комбинационные цепи с минимальной задержкой сигнала добавляется необходимое число буферов-повторителей [9].

VII. Характеризация моделей элементов и функциональных блоков

Цель характеризации моделей элементов и блоков микросхемы — определение параметров этих моделей с максимально возможной достоверностью. Модели элементов и блоков являются неотъемлемой частью систем проектирования. Чем сложнее процессы, моделируемые САПР, тем сложнее используемые модели. Процесс характеризации моделей — это процесс настройки САПР для работы с конкретной физической структурой. Адекватное описание свойств физической структуры обеспечивается как возможностями САПР, так и методикой определения параметров моделей. Требования к составу параметров задаются используемыми программными алгоритмами. Чем точнее и детальнее моделируются процессы в физической структуре, тем большие вычислительные ресурсы требуются САПР. Физические модели в схемотехническом проектировании не используются. Электротехнические модели на сосредоточенных элементах удовлетворительно описывают поведение транзисторов и других приборов в реальных условиях работы. Однако в нанометровых микросхемах происходит неуправляемое взаимодействие элементов, которое не учитывается моделями. Поэтому синтез моделей функциональных блоков на основе транзисторных моделей с использованием только средств САПР даёт неудовлетворительные результаты. К неуправляемому взаимодействию следует отнести случайные вариации и градиенты параметров элементов микросхемы. Наиболее прогрессивный и производительный метод моделирования — это использование поведенческих моделей логических элементов и функциональных блоков. Характеризация поведенческих моделей требует не только расчётов, но и измерений тестовых кристаллов и серийных изделий.

В методологии ПДВП возникла непосредственная обратная связь технологии и средств проектирования. Не только проекты оптимизируются для возможностей производства, но и средства проектирования адаптируются к возможностям характеризации технологии. Сейчас нет методик и программ автоматизированной характеризации логических элементов и функциональных блоков. Поэтому наиболее распространённый метод характеризации сложных блоков и фрагментов схемы — измерение параметров этих блоков в тестовых кристаллах. Все блоки аттестовать в тестовых кристаллах невозможно. Параметры неатте-

стованных блоков прогнозируются с использованием измеренных параметров аттестованных.

Маршрут проектирования микросхемы — не только управление средствами САПР. В первую очередь маршрут проектирования требует управления информацией. Источниками информации должны быть не только компьютерные программы, но и экспериментальные исследования. Эти данные получаются в процессе характеризации моделей элементов и блоков микросхем. Опыт разработчиков и технологов концентрируется в базах данных. Базы данных могут содержать разнообразную информацию, включая конкретные примеры реализации функциональных блоков и микросхем, сведения о выходе годных изделий, методы контроля и другие сведения. Все материалы в базе данных должны относиться к возможностям конкретного производственного процесса.

С усложнением моделей увеличивается и стоимость их характеризации. Затраты на характеризацию будут оправданы только при многократном использовании базы данных во многих проектах. Для этого производственный процесс должен быть устойчивым и неизменным хотя бы несколько лет.

VIII. Заключение

При разработке нанометровых микросхем процесс оптимального выбора проектных решений с учётом возможностей конкретного производственного процесса неизбежен и необходим.

С уменьшением размеров элементов микросхемы средства проектирования для возможностей производства распространяются на более высокие уровни описания модели изделия. Средства ПДВП разнообразны. Выбор этих средств определяется целями и приоритетами проекта.

Управление выходом годных микросхем требует совместной оптимизации конструктивно-топологических и схемотехнических решений. Параметрический брак увеличивается с увеличением размеров кристалла и числа элементов в схеме.

Использование только средств САПР не может обеспечить применение методологии ПДВП при разработке микросхем. Важнейшую роль в методологии ПДВП играет характеризация моделей элементов и блоков на основе результатов измерений тестовых кристаллов и микросхем.

Литература

1. Chiang C., Kawa J. [et al.]. Design for manufacturability and yield for nano-scale CMOS. — Berlin: Springer-Verlag, 2007.
2. Reid J., Mayer S., Broadbent E., Klawuhn E., Ashtiani K. Factors influencing damascene feature fill using cooper PVD and electroplating // Solid-State Technology. — 2000. — N. 7. — P. 638–642.

3. *Матилер Э.С.* Зачем разработчикам знать про литографию // Электронные компоненты. — 2008. — № 1. — С. 32–37.

4. *Mural F., Yoda H., Okazaki S., Saitou N., Sakitani Y.* Dose correction in E-beam lithography // Journal of Vacuum Science and Technology. — 1992. — P. 3072.

5. *Moffat T., Wheeler D., Huber W., Josell D.* Superconformal electrodeposition of copper // Electrochemical and Solid-State Letters. — 2001. — V. 5. — P. C26-C29.

6. *Mitra J., Peng Yu, Pan D.* Radar: RET-aware detailed routing using fast lithography simulations // Proceedings of the DAC. — 2005. — P. 369–372.

7. *Budnik M., Roy K.* A Power Delivery and decoupling network minimizing ohmic loss

and supply voltage variation in silicon nanoscale technologies // IEEE Transactions on VLSI Systems. — 2006. — V. 14, N. 12. — P. 1336–1346.

8. *Li.H., Cher C-Y., Roy K., Vijaykumar T.* Combined circuit and architectural level variable supply-voltage scaling for low power // IEEE Transactions on VLSI Systems. — 2005. — V. 13, N. 5. — P. 564–575.

9. *Dhillon Y., Diril A., Chatterjee A., Singh A.* Analysis and optimization of nanometer CMOS circuits for soft-error tolerance // IEEE Transactions on VLSI Systems. — 2006. — V. 14, N. 5. — P. 514–524.

Поступила в редакцию 01.02.2010.