

Талалай М.С.

Московский физико-технический институт.

Обзор подходов к повышению регулярности топологии ИС.

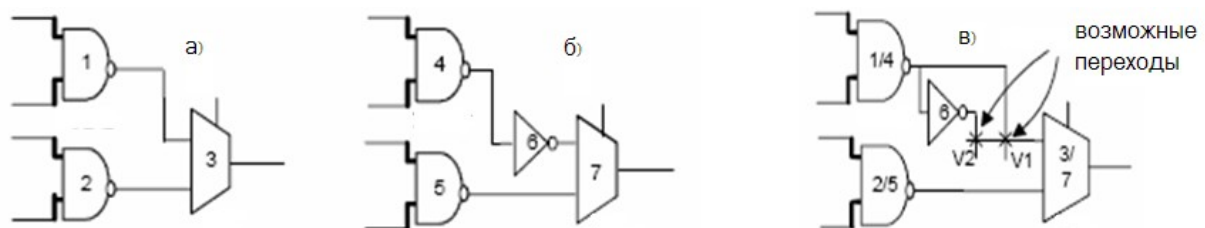
Использование современных технологий производства интегральных схем накладывает ряд дополнительных требований к процессу проектирования и производства. Одним из требований, обеспечивающим процесс литографии, является повышение регулярности литографических масок, т.е. наличие периодичности в топологии. С точки зрения разработчика это означает сужение доступной элементной базы и новые методы проектирования. Эти изменения влекут неоптимальность, а в некоторых случаях и невозможность, использования существующих алгоритмов и методов синтеза интегральных схем. Выявление оптимизационных алгоритмов и подходов к проектированию интегральных схем на основе гомогенной элементной базы становится актуальным в рамках современных технологий. Целью доклада является описать основные подходы к решению указанной задачи, которые используются на данный момент.

Существующие методы проектирования интегральных схем на физическом уровне можно разделить по типу регулярности и, соответственно, типу ограничений, накладываемых данной регулярностью. Наименее ограниченным, в указанном смысле, подходом является синтез на основе стандартных ячеек. Классифицируя по периодичности физических структур на кристалле, а также по типам данных повторяющихся структур, выделяют следующие подходы физического синтеза: синтез на основе логической матрицы, программируемой пользователем (FPGA); использование логической матрицы, конфигурируемой посредством проводников (VPGA); а также технику синтеза на основе регулярных топологических блоков (Regular fabrics). Сравнение электрических характеристик и занимаемой площади по разным подходам произведено в [1], [2]. Исследователи, сравнивая эти подходы между собой, часто интересуются не только изменениями основных схемных характеристик (площадь, задержка, мощность), но и оценивают регулярность топологии, используя, например, преобразование Фурье [3].

Наиболее интересным подходом, с точки зрения оптимальности соотношения

электрических характеристик и площади к жесткости требований литографии, является техника синтеза на основе регулярных блоков. Наличие регулярности «по построению» является отличительной особенностью данной техники.

Опишем основные идеи, используемые для получения регулярности интегральной схемы «по построению». Одним из подходов получения регулярной схемы является метод построения регулярных блоков на основе имеющегося размещения, использующего стандартные ячейки. Авторы [3] предлагают для заранее подготовленных, имеющих регулярную структуру, логических единиц: буфера, инвертора, минимального мультиплексора и вентиля, реализующего штрих Шеффера, реализовать все логические функции от трех переменных (здесь число переменных не принципиально). Далее производится разбиение исходной реализации схемы на блоки с количеством входов не превосходящим трех; итеративным алгоритмом, введя понятие логической «близости» для блоков разбиения, объединяются полученные блоки в небольшое количество групп; а далее для каждой группы подбирается физическая реализация, таким образом, чтобы для каждого конкретного представителя группы необходимая для него функциональность достигалась минимальными изменениями реализации для группы: например, определением точки снятия сигнала, либо постановкой перехода на другой слой.



Данный подход является довольно трудоемким и неустойчивым, так как предполагает наличие исходного размещения и непосредственно от него зависит.

Наложение жестких ограничений на структуру схемы дает возможность использовать точные комбинаторные методы; пример такого подхода описан в [4]. Здесь авторы используют все трассируемые слои (поликонттакт и металлы) лишь в одном направлении, каждый слой имеет одинаковый фиксированный шаг трассируемой сетки, все транзисторы реализуются на общих диффузионных регионах, имеющих форму прямоугольников. Размещение транзисторов выполняется алгоритмом «ветвей и границ», а трассировка, оставаясь *NP* полной задачей, решается полиномиальной редукцией к задаче выполнимости булевых формул. Данный подход при моделировании показывает небольшой проигрыш в основных схемных

характеристиках по отношению к характеристикам, получаемых при синтезе на стандартных ячейках, но, несомненно, такое размещение является более регулярным, и, следовательно, потенциально предпочтительнее для использования в новейших технологиях.

В [5] авторы предлагают решать обратную задачу, а именно, для максимально регулярной структуры найти минимальное удаление в слоях, при этом добившись нужной логической функциональности. После удаления различных кусков в слоях остаются не используемые части, которые не нарушают логическую функциональность, но оставляют регулярность получаемых структур. Наличие указанного решения позволяет построить процесс литографии на основе двух совмещенных масок, первая из которых является начальной, т.е. максимально регулярной, а вторая содержит лишь те минимальные изменения, необходимые для получения нужной функциональности. Предполагается, что использование второй маски с минимальной площадью экрана, останется физически реализуемым на этапе литографии. Данный подход находится только в своей начальной стадии развития и требует исследования.

Вопрос об использовании классических оптимизационных алгоритмов: масштабирование транзисторов, буферизация критических путей и другие, остается открытыми при использовании их на подобных регулярных структурах.

СПИСОК ЛИТЕРАТУРЫ

1. *Kuon I., Rose J., Rogers S.* Measuring the Gap Between FPGAs and ASICs // proc. of FPGA'06, pages 23-30.
2. *Ran Y., Marek-Sadowska M.* // An integrated Design Flow for a Via-Configurable Gate Array // proc. of DAC'04, pages 582-589.
3. *Kheterpal V.* Logic synthesis for regular fabrics // proc. of DAC'06, pages 112-119.
4. *Taylor B., Pileggi L.* Exact Combinatorial Optimization Methods for Physical Design of Regular Logic Bricks // proc. of DAC 2007, pages 344-349.
5. *Maly W., Yi-Wei L., Marek-Sadowska M.* OPC-Free and minimally Irregular IC Design Style // proc. of DAC 2007, pages 954-957.