

*Трушин К.В.*¹

¹ Московский физико-технический институт

Переходные процессы в сети питания СБИС

За последнее десятилетие размер канала транзистора в цифровых СБИС сократился до 45 нм. При этом число транзисторов в кристаллах современных СБИС выросло до 500 миллионов.

Мощность процессора для настольных компьютеров достигает 65 Вт при напряжении питания 1 В. Это означает, что суммарный ток, протекающий через процессор в целом, может достигать 65 А. Для того, чтобы распределить этот ток по всем транзисторам, которые из-за своих субмикронных размеров рассчитаны на токи порядка 1 мА, приходится создавать внутри процессора разветвленные многослойные сети питания и земли [1].

Для того, чтобы СБИС работала корректно, ее логические элементы в начальный момент времени должны принять корректные состояния. Это достигается с помощью подачи соответствующего напряжения (земля или питание) на входы элементов. При включении в СБИС происходят интенсивные переходные процессы, которые могут вывести напряжение на одном из входов логического узла за допустимый диапазон и, таким образом, привести к сбою в работе. Для уменьшения переходных процессов во время включения СБИС ее корпус снабжается развязывающими конденсаторами. Из-за отсутствия достаточно точной модели сети питания и высокой стоимости тестирования опытного образца зачастую выбирается завышенное количество конденсаторов, что приводит к значительному удорожанию СБИС.

Одновременное переключение многих транзисторов приводит к кратковременному падению напряжения питания, и соответственно, тока насыщения транзистора, что отрицательно сказывается на быстродействии. При этом в схеме может появиться критический путь, и она будет функционировать неверно [2].

Для защиты от эффектов динамического падения напряжения питания используются развязывающие конденсаторы [3], причем их размещение и емкость выбираются либо тривиальным способом (поместить везде, где только возможно), что ведет к росту тока утечки, либо с использованием моделей, степень достоверности которых недостаточна, так как используемые модели сетей питания и земли слишком

просты. Это может привести к ошибкам в работе процессора, которые обнаруживаются только на этапе тестирования опытного образца, что увеличивает сроки выхода продукции на рынок.

Для количественного учета влияния динамического падения напряжения питания существует несколько подходов. Они обычно предполагают некую конкретную модель сети питания. При этом если ограничиться использованием простой модели, то результаты моделирования могут быть недостаточно адекватными из-за того, что такая модель игнорирует существенные эффекты, происходящие в реальных сетях. Если же рассматривать достаточно подробную модель, то, ввиду огромной потребляемой памяти и длительного времени моделирования, ее можно использовать только для небольших участков сети питания, а не для всей сети. Это приводит к игнорированию глобальных эффектов, оказывающих влияние, возможно значительное, на поведение сети питания. Как следствие, и в этом случае можем получить неадекватные результаты. К глобальным эффектам можно отнести неравномерное распределение развязывающих емкостей в СБИС, а также влияние индуктивности и емкости контактов кристалла.

Поэтому для получения надежных данных о поведении сети питания надо действовать в соответствии со следующей схемой. Сначала сделать максимально подробную модель и изучить все эффекты, которые в ней существуют. Провести моделирование на максимально возможном для такой модели участке сети питания. По результатам моделирования выяснить, каким образом модель может быть сокращена без существенной потери точности. Возможными способами сокращения может быть удаление каких-либо элементов из модели или построение эквивалентной сети с меньшим количеством элементов. После этого построить сокращенную модель, но уже для более крупного участка сети, и заново провести моделирование. Процесс повторяется, пока не будет построена модель сети питания всего процессора.

Первый шаг по этому направлению уже сделан и установлено, что индуктивность сегментов сети питания для промышленных микропроцессоров почти не влияет на результаты моделирования [4].

СПИСОК ЛИТЕРАТУРЫ

1. *Kozaya J.N, Nassif S.R, Najm F.N.* A multigrid-like technique for power grid analysis // *IEEE Trans. on CAD.* – 2002. – Vol. 21. – I. 10. – P. 1148–1160.
2. *Killpack K., Kashyap C., Chiprout E.* Silicon Speedpath Measurement and Feedback into EDA flows // *Proc. of Design Automation Conference.* – 2007. – P. 390–395.

3. *Chandy A., Chen T.* Performance Driven Decoupling Capacitor Allocation Considering Data and Clock Interactions // Proc. of the Design, Automation and Test in Europe Conference and Exhibition. – 2005. – P. 1530–1591.
4. *Pant S., Chiprout E.* Power Grid Physics and Implications for CAD // Proc. of Design Automation Conference. – 2006. – P. 199–204.