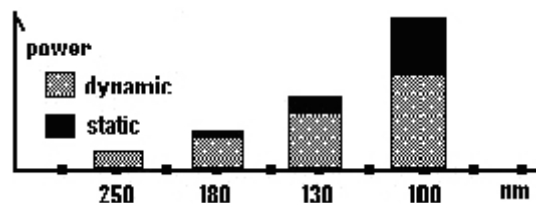


Быстрый и точный метод вычисления утечек стандартных ячеек

Современные методологии проектирования ИС отличаются соотношением работы производитель/дизайн-центр и их можно разделить (по уменьшению количества работы дизайн-центра) на: ручное проектирование (full custom design), проектирование на основе стандартных ячеек (standard-cell design), автоматическое проектирование (gate array design). Проектирование на основе стандартных ячеек позволяет значительно увеличить сложность проектируемых микросхем (от нескольких тысяч транзисторов до миллионов) и является одной из наиболее используемых методологий (часто вместе с ручным проектированием). Микросхема собирается из заранее спроектированных ячеек, объединенных в библиотеку. Типичная библиотека содержит логические элементы без памяти (И, ИЛИ, НЕ, сумматоры, умножители) и элементы с памятью (триггеры). Для оценки энергопотребления микросхемы необходимо знать потери стандартных ячеек. Энергопотери бывают динамические (потери на перезарядки паразитных емкостей при переключении транзисторов) и статические. В данной работе рассматриваются только статические утечки ячеек. На рис.1 изображена зависимость динамических и статических утечек от технологии.



Современные методы вычисления энергопотерь разделяются на аналитические (быстрые, но неточные), симуляционные (точные, но медленные). В основе симуляционных методов лежит точный расчет всех токов в ячейке. В основе аналитических – представление утечки как функции суммарной длины и ширины её транзисторов. Разработанный автором метод является комбинацией обоих методов. В данной работе рассматриваются только цифровые схемы. Сигналы внутри ячейки в основном являются цифровыми, но есть части, в которых сигнал является аналоговым (то есть, не строго “0” или “1”). Следовательно, внутренние проводники можно разделить на проводники, находящиеся в цифровом состоянии и проводники в аналоговом состоянии. Аналогично, токи утечек можно разделить на токи, для вычисления которых не требуется аналоговое моделирование и токи, для которых

требуется (стеки). На этом основан разработанный метод – аналоговое моделирование не всей ячейки, а только стеков.

Метод состоит из двух частей: быстрое цифровое моделирование и поиск стеков, аналоговое моделирование. Во время цифрового моделирования входной сигнал распространяется по ячейке и вычисляются состояния всех проводников в ячейке.

Каждый проводник может находиться в состоянии: сильный/слабый логический “0”/”1”, не определено. Слабый сигнал “1” означает, что логический сигнал “1” прошел через открытый транзистор, испытав падение напряжения. Падение напряжения происходит, например, при прохождении единицы через открытый NMOS транзистор (или нуля через открытый PMOS транзистор). После цифрового моделирования известны все закрытые транзисторы и состояния всех проводников, а также открытые и закрытые стеки (на рис. 2).



Стеки имеют особое значение, так как протекающий через них ток нельзя вычислить на основе только данных о состояниях проводников – необходимо знать значения напряжений в «слабых» и неопределенных проводниках. Для этого необходима модель транзистора, вычисляющая ток как функцию от напряжений на его входах:

$$I = I(V_{gate}, V_{source}, V_{drain})$$

Для нахождения токов через транзисторы была использована таблица значений, заранее вычисленных с помощью внешнего симулятора. Отсутствие простой аналитической модели транзистора делает невозможным аналитическое вычисление токов в стеках.

Поэтому эти токи вычисляются с помощью итеративного алгоритма аналогового моделирования. Принцип алгоритма заключается в последовательном поиске значения напряжения неопределенного или «слабого» проводника, при котором выполняется закон Кирхгофа (сумма всех входящих и выходящих токов равно нулю).

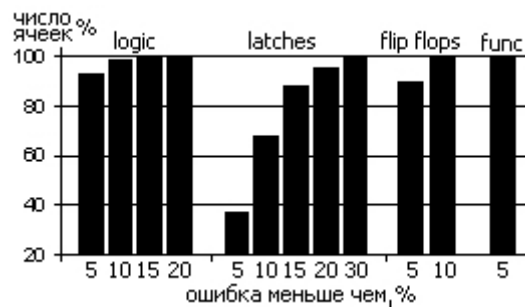
После выполнения всех шагов утечка вычисляется как сумма утечек закрытых транзисторов, открытых и закрытых стеков:

$$P_{total} = P_{lkg} + P_{closedStack} + P_{openStack}$$

Выше был описан случай вычисления утечек в ячейках без памяти, в которых текущее состояние не зависит от предыдущего. Единственным типом ячеек с памятью в

стандартных библиотеках являются триггеры: флип-флоп триггеры (flip-flops, синхронизирующиеся, например, по положительному фронту синхросигнала) и триггеры-защелки (latches, синхронизирующиеся, например, по высокому уровню синхросигнала). Если текущее состояние триггера-защелки не может быть определено, тогда состояние доопределяется на основе предыдущего. Схожий метод используется для флип-флоп триггеров с той разницей, что цифровое моделирование происходит в два шага: при низком и при высоком уровне синхросигнала.

В качестве эксперимента тестировалась библиотека ячеек “FARADAY CELL LIBRARY: FSC0H_D 0.13 mm Standard Cell” и модели транзисторов от компании UMC. Сравнивались значения утечек вычисленные по данной методике со значениями, полученными при моделировании средством симулятора *hsim*. Всего было протестировано около 2000 ячеек. Данные изображены на рис.3.



Основным источником ошибки является не учет трехуровневых стеков – содержащих три и более последовательно соединенных транзисторов. Другой причиной расхождений является различный выбор предыдущего состояния симулятором *hsim* и алгоритмом (этим объясняется большие расхождения для триггеров-защелок).

Основными преимуществами данного метода является скорость вычисления и точность. На текущий момент автору не известны методы вычисления утечек сравнимые одновременно по обоим характеристикам скорость-точность. В будущем работа над данным методом может быть продолжена в направлениях: учет трехуровневых стеков, учет утечек через затвор транзистора.

Данный алгоритм успешно используется в программном продукте по оптимизации стандартных ячеек Ardon, разработанном в ИТМиВТ.

СПИСОК ЛИТЕРАТУРЫ